

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Nobuyuki IKEZAWA

Title: METHOD FOR MANUFACTURING A SEMICONDUCTOR
DEVICE BY USING A DRY ETCHING TECHNIQUE

Appl. No.: Unassigned

Filing Date: 02/05/2004

Examiner: Unassigned

Art Unit: Unassigned

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
PO Box 1450
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing dates of the following prior foreign applications filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith are certified copies of said original foreign applications:

Japanese Patent Applications
No. 2003-032916 filed 02/10/2003.
No. 2003-367285 filed 10/28/2003.

Respectfully submitted,

Date: February 5, 2004

FOLEY & LARDNER
Customer Number: 22428
Telephone: (202) 672-5407
Facsimile: (202) 672-5399

By Phillip J. Artivola Reg. No. 38,819
for / David A. Blumenthal
Attorney for Applicant
Registration No. 26,257

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 1 0 日
Date of Application:

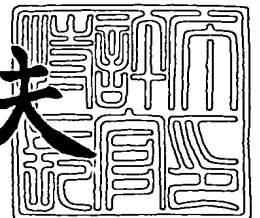
出 願 番 号 特 願 2 0 0 3 - 0 3 2 9 1 6
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 3 2 9 1 6]

出 願 人 N E C エレクトロニクス株式会社
Applicant(s):

2 0 0 3 年 1 2 月 1 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 1 0 3 1 7 2

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0215753

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 互いに異なる n 型ゲート電極を有する NMOS および p 型ゲート電極を有する PMOS デバイスを同一基板に有する半導体装置の製造方法であって、

n 型 MOS 領域及び p 型 MOS 領域に不純物が注入された多結晶シリコン層のゲート電極形成を同一工程でドライエッチング加工するに際し、不純物濃度が濃い領域と薄い領域とで、ガス種のエッチング条件を変更してエッチング加工して除去し、所定パターンのゲート電極を形成することを特徴とする半導体装置の製造方法。

【請求項 2】 互いに異なる n 型ゲート電極を有する NMOS および p 型ゲート電極を有する PMOS デバイスを同一基板に有する半導体装置の製造方法であって、

n 型 MOS 領域及び p 型 MOS 領域に不純物が注入された多結晶シリコン層のゲート電極形成を同一工程でドライエッチング加工するに際し、前記不純物が注入された多結晶シリコン上に有機系反射防止膜及びフォトレジスト膜を成膜し、その後に当該除去領域を不純物濃度が濃い領域と薄い領域とでガス種のエッチング条件を変更してエッチング加工して除去し、所定パターンのゲート電極を形成する半導体装置の製造方法。

【請求項 3】 前記不純物濃度が濃い領域では、主として CF 系 (CF₄、CHF₃、CH₂F₂のいずれか) のガスを用いて多結晶シリコンのドライエッチング加工を行うことを特徴とする請求項 1 または請求項 2 記載の所定パターンのゲート電極を形成する半導体装置の製造方法。

【請求項 4】 前記不純物濃度が薄い領域では、主として Cl₂/O₂, HBr/O₂, Cl₂/HBr/O₂, Cl₂/HBr/CF₄, Cl₂/HBr/CF₄/O₂ のいずれかのガスを用いて多結晶シリコン層のドライエッチング加工を行うことを特徴とする請求項 1 または請求項 2 記載の所定パターンのゲート電極を形成する半導体装置の製造方法。

【請求項 5】 前記 CF 系ガスを用いてドライエッチングする条件は、ガス

圧：3 mT～20 mT、ソースパワー：200 W～600 W、バイアスパワー：20 W～150 W、CF系ガス混合比：75%以上で多結晶シリコンの加工を行うことを特徴とする請求項3または請求項4記載の所定パターンのゲート電極を形成する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に係るドライエッチング加工に関し、特に、CMOSデバイスのゲート電極の形成に利用して有効なものに関する。

【0002】

【従来の技術】

CMOSデバイスにおいては、n型ゲートには、P(リン)或いはAs(砒素)を、P型ゲートには、B(ホウ素)或いはBF₂(二フッ化ホウ素)をイオンインプラネーションにより注入することが一般的に行われる。従来では、多結晶シリコンをドライエッチングでゲート電極を形成加工した後に、SD(不純物)注入においてn型ゲートにはP或いはAsを、P型ゲートにはB或いはBF₂を注入している。しかし、CMOSデバイスの微細化及び高性能化に伴い、浅い接合領域とゲート電極空乏化対策を独立に行う必要がある。このため、SD領域への注入とゲート電極領域への注入をそれぞれ最適な条件で行うためには、ゲート電極を形成加工を行う前に、n型領域にはP或いはAsを、P型領域にはB或いはBF₂を注入する必要がある。

【0003】

例えば、ゲート電極を形成加工を行う前に不純物を注入する例として、図8(a)(b)に示すようにn型ゲート電極を有するNMOSおよびp型ゲート電極を有するPMOSトランジスタを同一基板に有する半導体装置の製造方法であって、ゲート電極層14上にゲート電極パターンからなるゲート電極形成用のマスク層15を形成する。そして、ゲート絶縁層12を介して半導体基板13上に形成されたゲート電極層14のエッチング加工によって除去される各除去領域14bに、各除去領域14bの不純物組成を相互に等しくまたは近似させるように不純物

(As及びBF₂)をイオン注入法によって導入し(図8(a))、その後に当該除去領域14bをエッチング加工して除去し、所定パターンのゲート電極14aを形成する(図8(b))。従って、ゲート電極層14のエッチング加工によって除去される除去領域に不純物をイオン注入法によって導入し、ゲート絶縁層12の各除去領域14bの不純物組成を相互に等しくまたは近似させることによって、各除去領域14bの相互のエッチング速度が等しくまたは近接することになる。この結果、互いに異なる導電型の絶縁ゲート型電界効果トランジスタの各々のゲート電極をエッチング加工によって形成する際に、双方のゲート電極層のエッチング速度が等しくまたは近接し、いずれか一方のゲート絶縁膜12上にゲート電極14aを構成する材料のエッチング残渣が生じたり、あるいはいずれか一方のゲート絶縁膜12が破壊されたりする不具合が解消される半導体装置の製造方法が開示されている(例えば、特許文献1参照)。

【0004】

【特許文献1】

特開平11-17024号公報(図5、図6)

【0005】

【発明が解決しようとする課題】

多結晶シリコンを用いたゲート加工では、ドライエッチング技術が用いられる。多結晶シリコンのゲート加工は、表面の自然酸化膜を除去するブレークスルーステップ、ゲート形状を決定するメインエッチングステップ及び基板へのダメージを低減しつつ、残渣を除去するためのオーバーエッチングステップに分けられる。

【0006】

一般的に、ブレークスルーステップにおいては、塩素ガス及びCF₄ガスが用いられる。メインエッチングステップでは、塩素、臭化水素、酸素の混合ガスが用いられる。オーバーエッチングステップにおいては、臭化水素及び酸素の混合ガスが用いられる。注入されていない多結晶シリコンにおいては、上記条件を用いることにより、矩形性が高く、かつ基板へのダメージなくゲート加工が可能である。

【0007】

しかし、エッチング前に n 型には P あるいは A s、P 型には B を注入した場合、多結晶シリコン中 n 型多結晶シリコンと p 型多結晶シリコンにおいて、レート差が生じる。その為、n 型ゲートで形状を最適化した場合、p 型ゲートではアンダーエッチになりテーパー形状(図示省略)、p 型ゲートで形状を最適化した場合、図 7 に示すように n 型ゲートでは、基板やられやサイドエッチ 9 形状が生じる問題がある。

【0008】

この問題が生じる理由は、不純物である P 及び A s を注入された多結晶シリコンでは、電子濃度が増加する。また、B が注入された多結晶シリコンでは、正孔濃度が増加する（電子濃度が減少する）。多結晶シリコンエッチングにおけるエッチングレート及び反応性は、多結晶シリコン中の電子濃度に依存している。その為、n 型多結晶シリコンのエッチングレート及び反応性は、p 型多結晶シリコンよりも高い。このエッチングレートと反応性の差により、形状差及び寸法差が生じる。

【0009】

本発明の目的は、n 型 MOS 領域と p 型 MOS 領域とで形状差が小さく、寸法差の少ないシリコン・ゲート電極を形成する半導体装置の製造方法を提供することである。

【0010】

【課題を解決するための手段】

前記課題を解決するために本願の半導体装置の製造方法の発明は、n 型 MOS 領域及び p 型 MOS 領域に不純物が注入された多結晶シリコンのゲート電極を同一工程でドライエッチングにより加工するに際し、不純物濃度が濃い領域と薄い領域とで、ガス種のエッチング条件を変更してエッチング加工して除去し、所定パターンのゲート電極を形成することを要旨とする。また、n 型 MOS 領域及び p 型 MOS 領域に不純物が注入された多結晶シリコン層のゲート電極形成を同一工程でドライエッチング加工するに際し、前記不純物が注入された多結晶シリコン上に有機系反射防止膜及びフォトリソ膜を成膜し、その後、当該除去領域を不純物濃

度が濃い領域と薄い領域とでガス種のエッチング条件を変更してエッチング加工して除去し、所定パターンのゲート電極を形成することを要旨とする。

【0011】

【作用】

前記した手段によれば、n型MOS領域及びp型MOS領域に不純物が注入された多結晶シリコンのゲート電極を同一工程でドライエッチングにより加工するに際し、不純物濃度が濃い領域と薄い領域とでエッチング条件を変更して行うため、n型MOS領域とp型MOS領域とで形状差が小さく、寸法差の少ないゲート電極の形状が可能になる（図4）。

【0012】

【発明の実施の形態】

以下、本発明による本発明の実施の形態例について図面を参照して説明する。図1(a)(b)(c)(d)(e)は本発明の第1の実施例のCMOSデバイスのn+ およびp+ ポリシリコン・ゲートを同時にエッチングする一連の工程における被加工物を示す断面図である。図2のグラフは注入種の濃度プロファイルを示す。図3は本発明におけるサイドエッチ抑制のメカニズムを示す。図4は本発明のSEM像からとったトレースであり、ポリシリコン・ゲートおよびその側壁のアウトラインを示す断面図である。図5のグラフはn型MOSとp型MOSの加工後の寸法差の累積確率分布を示す。図6は従来のn型多結晶シリコンのサイドエッチ発生メカニズムを示す。

先ず、図1(a)(b)(c)(d)(e)を用いて本発明の第1の実施例である半導体装置の製造方法について説明する。

【0013】

先ず、図1(a)に示すようにシリコンウェハ等の半導体基板1を準備し、半導体基板1上に、ゲート酸化膜2を形成する。ゲート酸化膜2は、例えば、SiO₂を熱酸化法によって半導体基板1上に形成する。次いで、ゲート酸化膜2上には、例えば厚さ50nm～200nmの多結晶シリコン層3をCVD法によって形成する。

【0014】

その後、図1(b) に示すように n 型ゲートとして使用する領域のみ開口したフォトリソパターン 4 a をマスクとして、不純物である P あるいは As を加速電圧 1 keV~20keV の範囲、ドーズ量 $5 \times 10^{14} \text{atom/cm}^2 \sim 1 \times 10^{16} \text{atom/cm}^2$ の範囲において、イオン注入技術により注入する。

【0015】

その後、イオン注入のマスクに用いたフォトリソパターン 4 a を除去する。

【0016】

n 型ゲートの場合と同様に、図 1 (c) に示すように p 型ゲートとして使用する領域のみ開口したフォトリソパターン 4 b をマスクとして、不純物である B あるいは BF₂ を加速電圧 1 keV~10 keV の範囲、ドーズ量 $5 \times 10^{14} \text{atom/cm}^2 \sim 1 \times 10^{16} \text{atom/cm}^2$ の範囲において、イオン注入技術により注入する。その後、イオン注入のマスクに用いてフォトリソパターン 4 b を除去する。この時の n 型 MOS 領域と p 型 MOS 領域への不純物注入の順序は p 型が先であっても問題はない。

【0017】

図 1 (d) に示すように n 型 MOS 領域と p 型 MOS 領域に不純物を注入後、ゲート電極を形成するためにリソグラフィ技術を用いて、フォトリソパターン 6 c を形成する。

【0018】

パターン形成時のリソグラフィ技術は、露光波長 248nm の KrF レーザー、193nm の ArF レーザーが用いられる。また、EB リソグラフィ技術を用いてパターンを形成しても問題はない。

【0019】

KrF あるいは ArF リソグラフィによりパターンを形成する場合、多結晶シリコン表面での光の反射による影響を低減させるために、一般的に n 型 MOS 領域と p 型 MOS 領域への不純物注入した多結晶シリコン層 3 上に反射防止膜 5 が形成される。反射防止膜 5 としては CVD 等により形成される無機系反射防止膜 5 a (たとえば、SiN、SiON、TiN 等) および、塗布系の有機系反射防止膜 5 b が使用される。

【0020】

以下にソース側 13.56 MHz、バイアス側 13.56 MHz の電源を用いた場合の ICP タイプのドライエッチング装置(図示省略)を用いて、有機系反射防止膜 5b を使用した場合の加工例を示す。

【0021】

有機系反射防止膜 5b の加工及び多結晶シリコン層 3 の加工は同一のエッチングチャンバーを用い、連続に加工を行った。但し、反射防止膜 5 及び多結晶シリコン層 3 の加工を別のエッチング装置あるいは、非連続で加工を行っても問題なく加工可能である。有機系反射防止膜 5b は、塩素/酸素、臭化水素/酸素、4 フッ化炭素及び酸素の混合ガス等により、容易に加工可能である。

【0022】

次に、図 1 (e) に示すような多結晶シリコン層 3 の加工を行う。この多結晶シリコン層 3 のエッチング工程は次の 3 つの工程により構成される。図 2 に注入種の濃度プロファイルを示す。図 2 から明らかなように、表面から 50 nm 程度までが注入種の濃度が高く、それよりも深い部分での注入種濃度は低くなり飽和する。本発明においては、図 2 のグラフに示すように 1) 注入種濃度の濃い部分のエッチング工程(表面～50 nm 程度)、2) 注入種濃度の薄い部分のエッチング工程(50 nm 程度～多結晶シリコンの膜厚により変動)、3) 残渣除去を目的とするエッチング工程(残渣除去工程なので、膜厚は設定不能)によりゲート加工を行う。

【0023】

図 6 に示すように注入種濃度の濃い部分(特に n 型 MOS 領域)において、一般的にゲート加工に用いられている塩素/酸素、臭化水素/酸素、塩素/臭化水素/酸素等の混合ガスを用いた場合、サイドエッチが観察される。エッチング時の異方性形状は、エッチングとデポジションとの競合反応により達成されるが、上記ガス系を用いた場合、側壁保護膜 8' はエッチングガスとシリコンの反応生成物である SiCl_x 及び SiBr_x であり、エッチング初期においては、保護膜の形成スピードよりも、エッチングスピードが速いために、サイドエッチ 9 を生じる。

【0024】

このため、エッチングガスに CF 系を含むガス(例えば、 CF_4 、 CHF_3 、 CH_2F_2 等)

を用いて、エッチングを行った場合、CF系ガスより供給されるCF_xが側壁保護膜8として作用するために、サイドエッチの生じやすいエッチング初期においても、側壁保護膜8が形成され、n型MOS領域においても、サイドエッチなく、異方的にエッチングすることが可能である（図3）。例えば、実際の加工例は以下のような条件である。

【0025】

条件1

圧力 : 10 mTorr
ソースパワー : 400W
バイアスパワー : 100W
使用ガス : CF₄ = 100 sccm
エッチング量 : 50 nm程度

【0026】

条件2

圧力 : 10 mTorr
ソースパワー : 400W
バイアスパワー : 100W
使用ガス : CF₄/He = 100/50 sccm
エッチング量 : 50 nm程度

【0027】

条件3

圧力 : 10 mTorr
ソースパワー : 400W
バイアスパワー : 100W
使用ガス : CF₄/He = 100/100 sccm
エッチング量 : 50 nm程度

【0028】

条件4

圧力 : 10 mTorr

ソースパワー : 400W
バイアスパワー : 100W
使用ガス : CF₄/He = 50/100 sccm
エッチング量 : 50nm程度—

【0029】

条件5

圧力 : 10mTorr
ソースパワー : 400W
バイアスパワー : 100W
使用ガス : CF₄/Cl₂ = 100/10 sccm
エッチング量 : 50nm程度

【0030】

条件6

圧力 : 10mTorr
ソースパワー : 400W
バイアスパワー : 100W
使用ガス : CF₄/HBr = 100/10 sccm
エッチング量 : 50nm程度

【0031】

条件7

圧力 : 10mTorr
ソースパワー : 400W
バイアスパワー : 100W
使用ガス : CF₄/O₂ = 100/4 sccm
エッチング量 : 50nm程度

【0032】

上記7条件を典型的のガス系として示すが、Heの替わりにAr（アルゴン）を使用しても問題なく加工可能である。また、CF₄の替わりにCHF₃あるいはCH₂F₂を用いても加工可能である。上記条件では、ガス系以外のパラメー

タを固定しているが、圧力領域は、3 mT～20 mT、ソースパワーは200 W～600 W、バイアスパワーは20 W～150 Wの範囲でサイドエッチなく加工可能である。

【0033】

上記に示すような条件により、注入種の濃度の濃い領域をサイドエッチなく加工した後に、条件を切り替えて、注入種の濃度の薄い領域の加工を行う。エッチング条件を切り替える理由は、CF系を使用したエッチング条件は対フォトリジスト選択比が低く（Poly-Si：PR=1:0.7～2）、かつ対酸化膜選択比が低いためゲート酸化膜へのダメージが懸念されるためである。切り替えた後のエッチングでは、一般的に知られているCl₂/O₂, HBr/O₂, Cl₂/HBr/O₂, Cl₂/HBr/CF₄, Cl₂/HBr/CF₄/O₂等のガス系が用られる。これらの条件で、基板が露出する、あるいは基板が露出する直前まで（残膜～30nm）エッチングを行う。

【0034】

その後、薄く残った多結晶シリコン層15は、高い（10以上）対酸化膜選択比の得られるHBr/O₂系を用いてゲート酸化膜が露出するまでエッチングを行う。

【0035】

ゲート酸化膜が露出した後に、さらに対酸化膜選択比の高い（100以上）エッチング条件に変更して、エッチングを行う。この時に用いるエッチングガスは、前の工程と同様にHBr/O₂系である。但し、このときの圧力領域は、前の工程よりも高圧領域を用いる。

【0036】

上記4工程からなるエッチング条件を用いることにより、n型MOS領域とp型MOS領域で形状差がないゲート加工が可能である（図4）。また、上記エッチング条件を用いて、ゲート加工を行った場合のn型ゲート及びp型ゲートの加工後寸法差の累積確率分布を示す図5より、上記エッチング条件によりゲート加工を行うことにより、n型ゲートとp型ゲートの寸法差が少ない加工が可能である。

【0037】

第1の実施例では、多結晶シリコンの場合についての実施例を示したが、多結晶シリコンと多結晶シリコンゲルマニウムの積層構造においても同様な加工が可能である。また、多結晶ではなくアモルファスシリコン及びシリコンゲルマニウムにおいても同様な加工が可能である。

【0038】

本実施例においては、ICPタイプのドライエッチング装置の実施例について述べたが、ECRタイプ、2周波RIE、マグネトロンRIEにおいても同様に、CF系のガスを用いることにより、同様な加工が可能である。

【0039】

【発明の効果】

以上説明したように本発明の半導体装置の製造方法は、n型MOS領域及びp型MOS領域に不純物が注入された多結晶シリコンのゲート電極を同一工程でドライエッチングにより加工するにあつて、不純物濃度が濃い領域と薄い領域とで、エッチング条件を変更して行うため、n型MOS領域とp型MOS領域で形状差が小さく、寸法差の少ないゲート電極の形状が可能になる

【図面の簡単な説明】

【図1】

本発明の第1の実施例のCMOSデバイスのn+ およびp+ ポリシリコン・ゲートを同時にエッチングする一連の工程における被加工物を示す断面図である。

【図2】

本発明の注入された不純物の濃度プロファイルである。

【図3】

本発明のサイドエッチ抑制のメカニズムである。

【図4】

本発明のSEM像からとったトレースであり、ポリシリコン・ゲートおよびその側壁のアウトラインを示す断面図である。

【図5】

本発明のゲート加工後、n型ゲート及びp型ゲートの加工後寸法の累積確率分

布である。

【図 6】

従来例におけるサイドエッチ発生のメカニズムである。

【図 7】

従来の半導体装置の製造方法におけるゲート電極を示す断面図である。

【図 8】

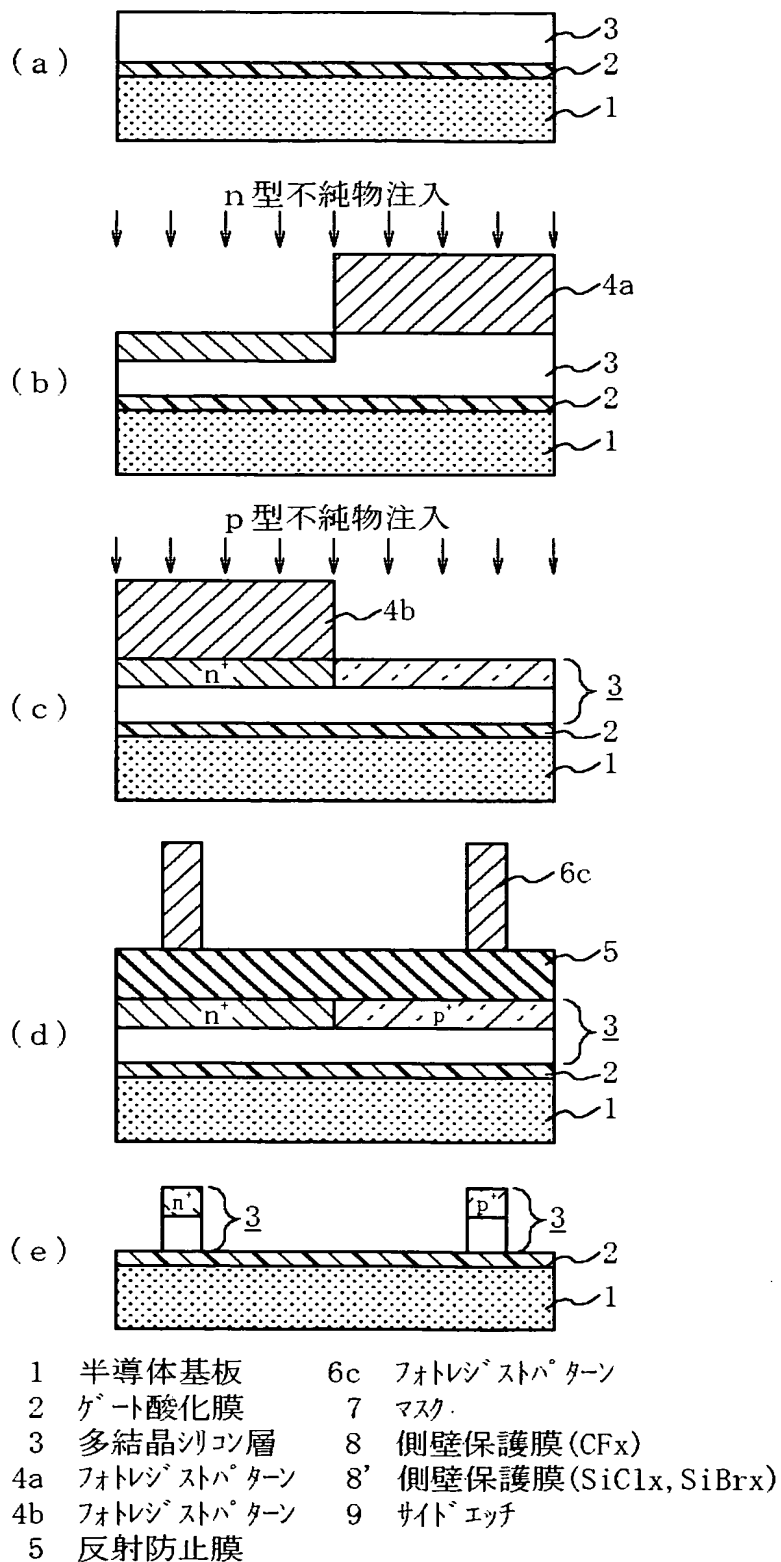
従来の半導体装置の一部の製造工程を示す被加工物の断面図である。

【符号の説明】

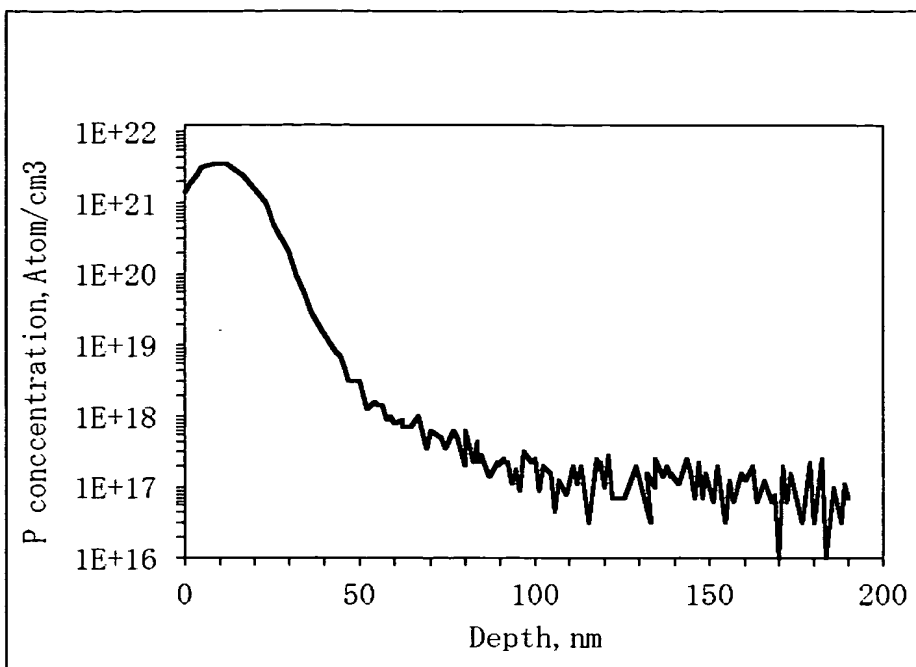
- 1 半導体基板
- 2 ゲート酸化膜
- 3 多結晶シリコン層
- 4 a フォトレジストパターン
- 4 b フォトレジストパターン
- 5 反射防止膜
- 6 c フォトレジストパターン
- 7 マスク
- 8 側壁保護膜(CFx)
- 8' 側壁保護膜(SiClx、SiBrx)
- 9 サイドエッチ

【書類名】 図面

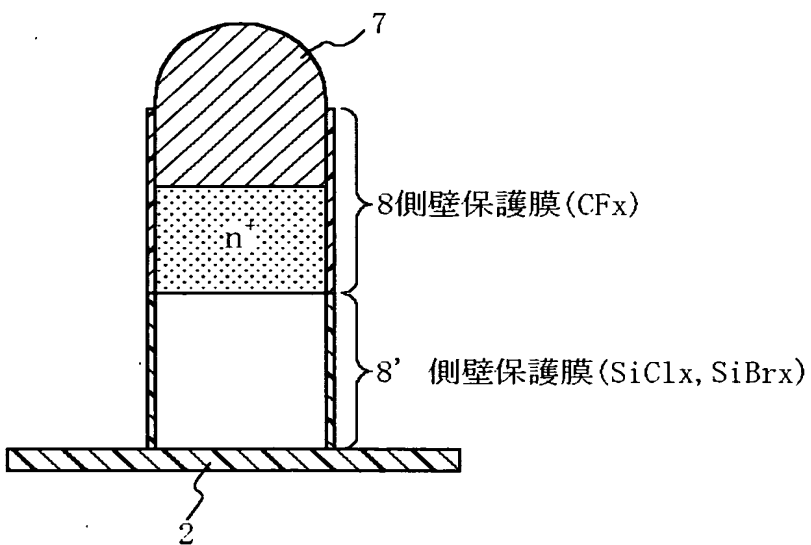
【図 1】



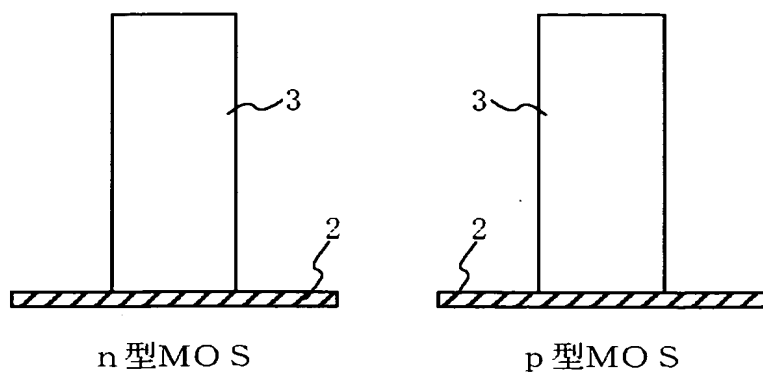
【図 2】



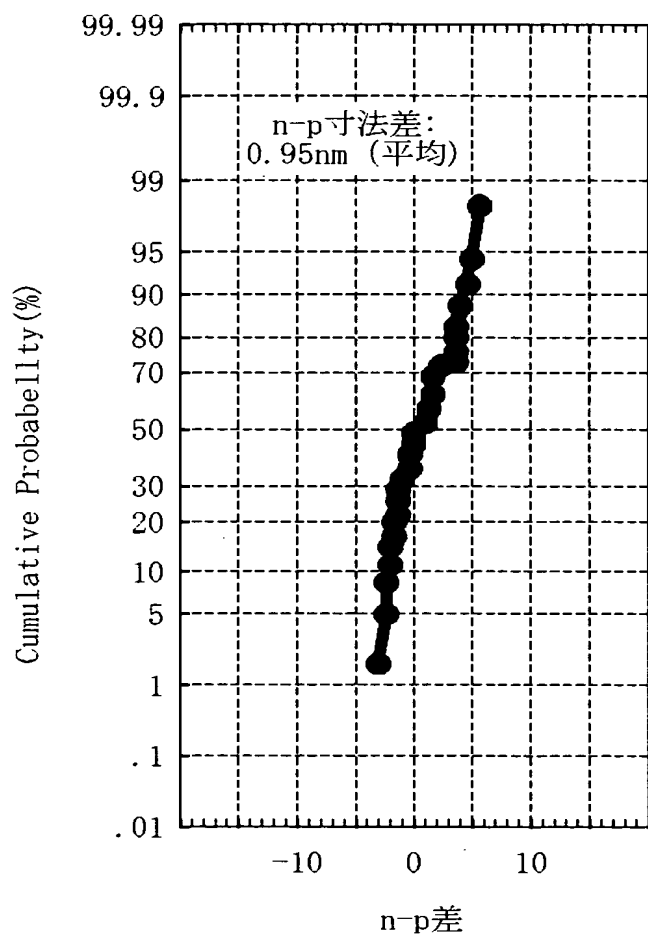
【図 3】



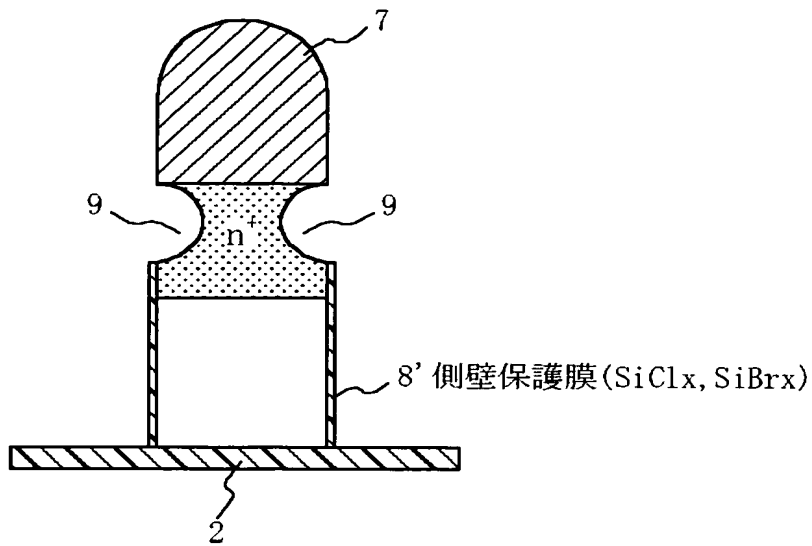
【図 4】



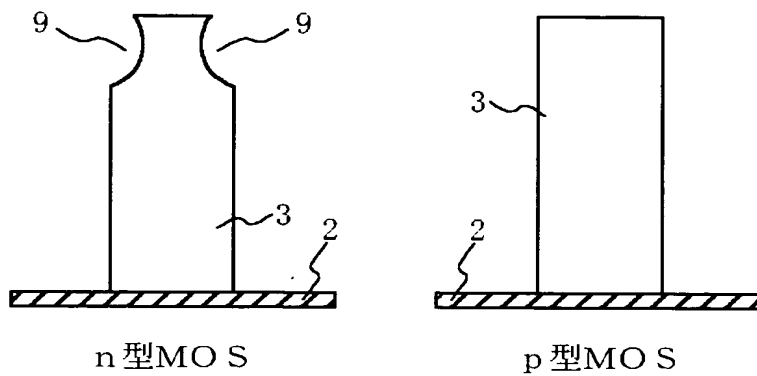
【図 5】



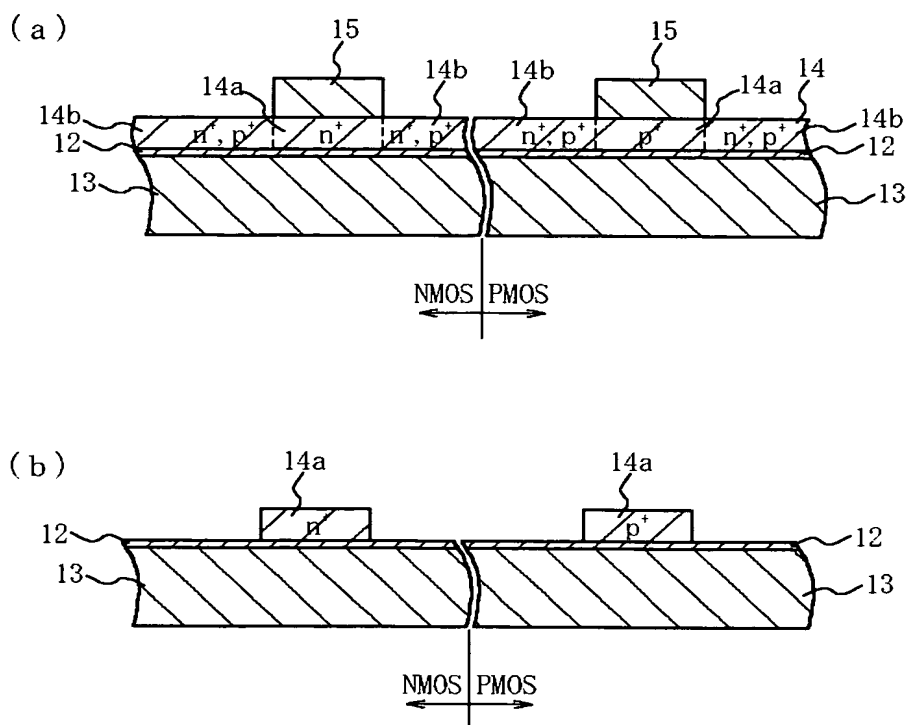
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 ポリシリコン・ゲートの垂直側壁を得るための、多結晶シリコン層のエッチング方法を提供することである。

【解決手段】 互いに異なる n 型ゲート電極を有する NMOS および p 型ゲート電極を有する PMOS デバイスを同一基板に有する半導体装置の製造方法において、n 型 MOS 領域及び p 型 MOS 領域に不純物が注入された多結晶シリコン層のゲート電極を同一工程でドライエッチングにより加工するに際し、不純物濃度が濃い領域と薄い領域とで、ガス種のエッチング条件を変更してエッチング加工して除去し、所定パターンのゲート電極を形成する方法である。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 3 2 9 1 6
受付番号	5 0 3 0 0 2 1 3 2 0 8
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 2 月 1 2 日

< 認定情報・付加情報 >

【提出日】 平成15年 2月10日

次頁無

特願 2 0 0 3 - 0 3 2 9 1 6

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社